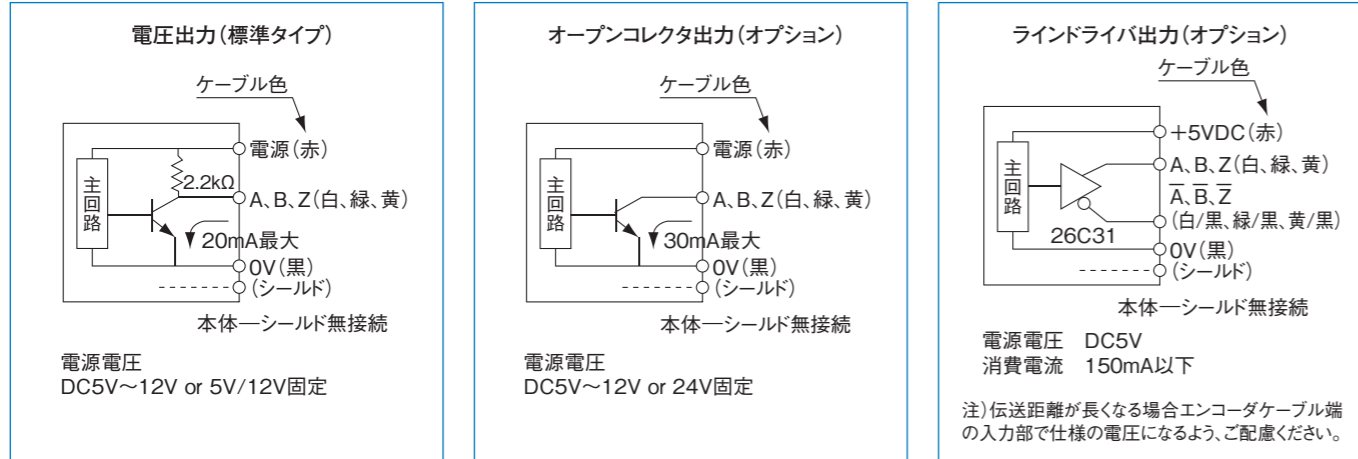


技術資料

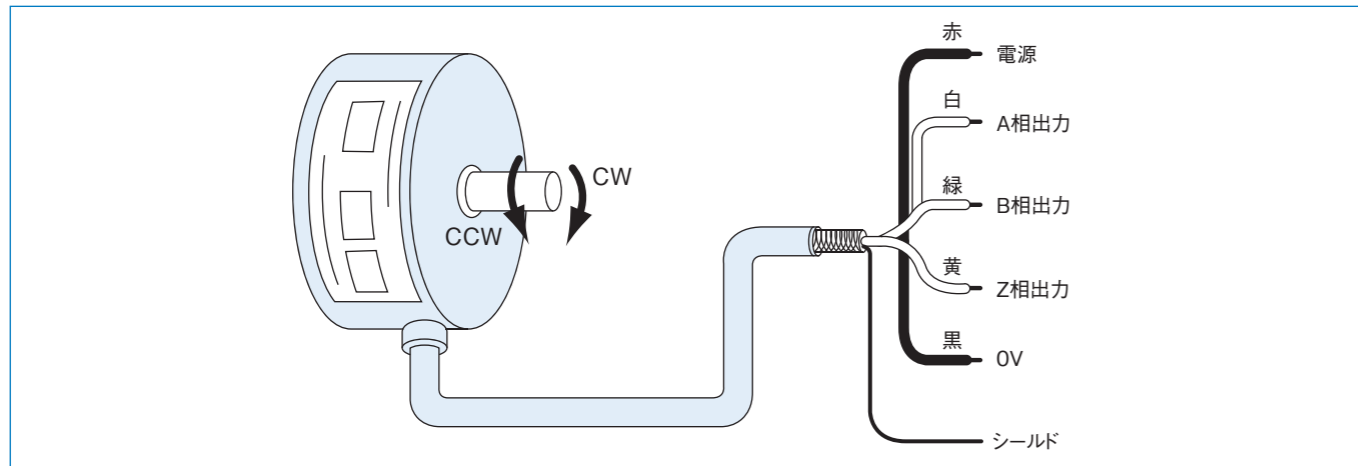
インクリメンタルエンコーダ

- 低パルスから高分解パルスまで、幅広く用意されています。また、希望の分割パルス数は、自社製作のため容易に可能です。
- 外径は、超小型から大型までシリーズ化されており、取付軸と分割パルス数等により決めてください。
- 全製品が薄型で構成されており、特にホールタイプは取付に最適なエンコーダです。
- 使用目的により耐ノイズ、消費電流の低減など、最適条件で検討可能です。

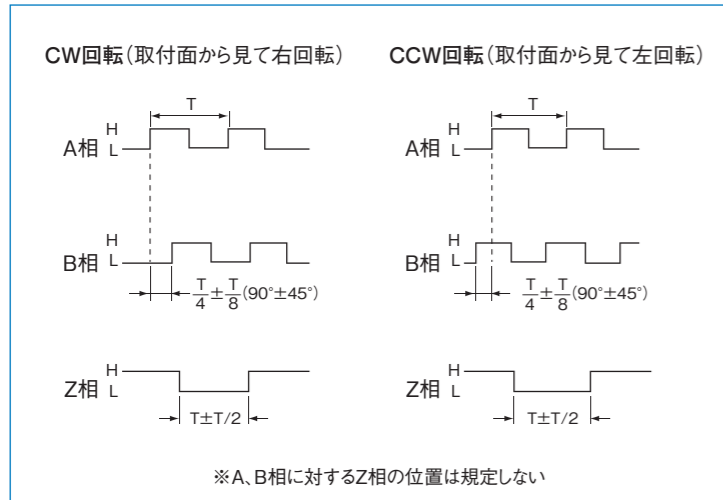
出力回路図



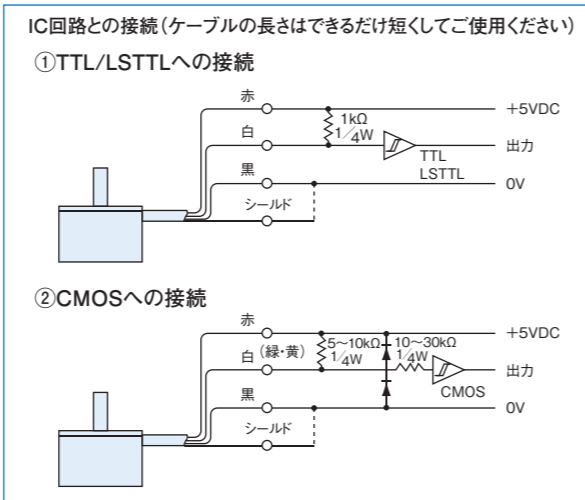
0VとFG(フレームグランド)の間にコンデンサ(0.1μF)が接続されています。



出力波形図



接続例

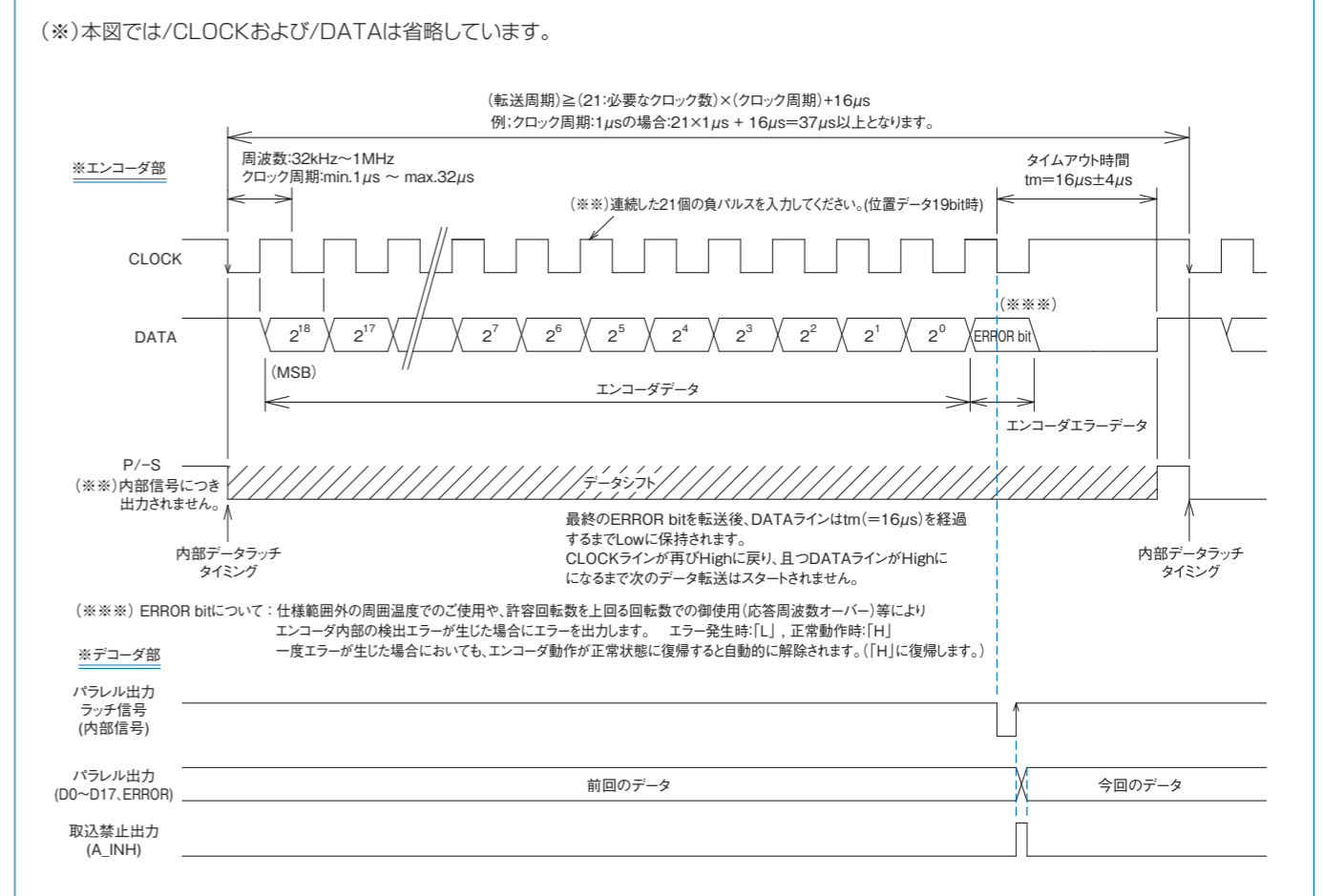


アブソリュートエンコーダ

シリアル通信のタイミングチャートについて

弊社のアブソリュートエンコーダでシリアル通信(SSIフォーマット)のタイミングチャートは下図を参照ください。

入出力タイミングチャート ※出力データ19bitの場合



オプションのデコーダ基板をご使用される場合

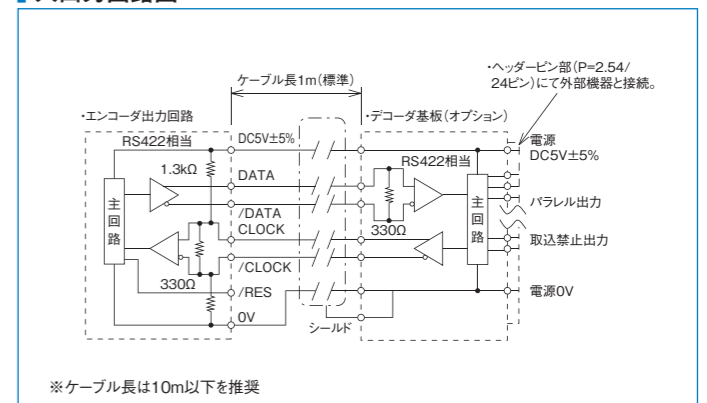
接続図 ※19bit(524288)の場合

デコーダ基板 TH No. (24pin部)				デコーダ基板 TH No. (8pin部)			
TH No.	パラレル出力/電源	TH No.	パラレル出力/電源	TH No.	線色	エンコーダ接続側	
1	DC5V±5%	13	出力2 ⁸ (D8)	1	赤	DC5V±5%	
2	0V(COMMON)	14	出力2 ⁷ (D7)	2, 4	黒	0V(COMMON)	
3	出力2 ¹⁵ (D15)	15	出力2 ⁶ (D6)	3	—	N.C.	
4	出力2 ¹⁴ (D14)	16	出力2 ⁵ (D5)	5	白	DATA	
5	出力2 ¹³ (D13)	17	出力2 ⁴ (D4)	6	白/黒	/DATA	
6	出力2 ¹² (D12)	18	出力2 ³ (D3)	7	緑	CLOCK	
7	出力2 ¹¹ (D11)	19	出力2 ² (D2)	8	緑/黒	/CLOCK	
8	出力2 ¹⁰ (D10)	20	出力2 ¹ (D1)				
9	出力2 ⁹ (D9)	21	出力2 ⁰ (D0)				
10	出力2 ⁸ (D8)	22	ERROR bit				
11	出力2 ⁷ (D7)	23	取込禁止出力(A_INH)				
12	出力2 ⁶ (D6)	24	N.C.				

※2: 3pinはN.C.
※3: 黄線は、/RESET (リセット入力[L] [0V]に接続)にてリセット有効。入力電圧: 1mA以下 ※通常使用時は「オープン」または「5V」

- ※1: 分解能18bitの時はTH No.3に最上位bitを接続し、順に詰めて配線願います。(例)18bit時: TH No.3に出力2¹⁷(D17), TH No.4に出力2¹⁶(D16), ... TH No.20に出力2⁰(D0), TH No.21にERROR bitを接続。TH No.22, 24はN.C.となります。
- ※2: 本デコーダ基板のパラレル出力は、最大20ビット分(ERROR bit含む)となります。21ビット以上のパラレルデータは出力することは出来ませんのでご注意ください。

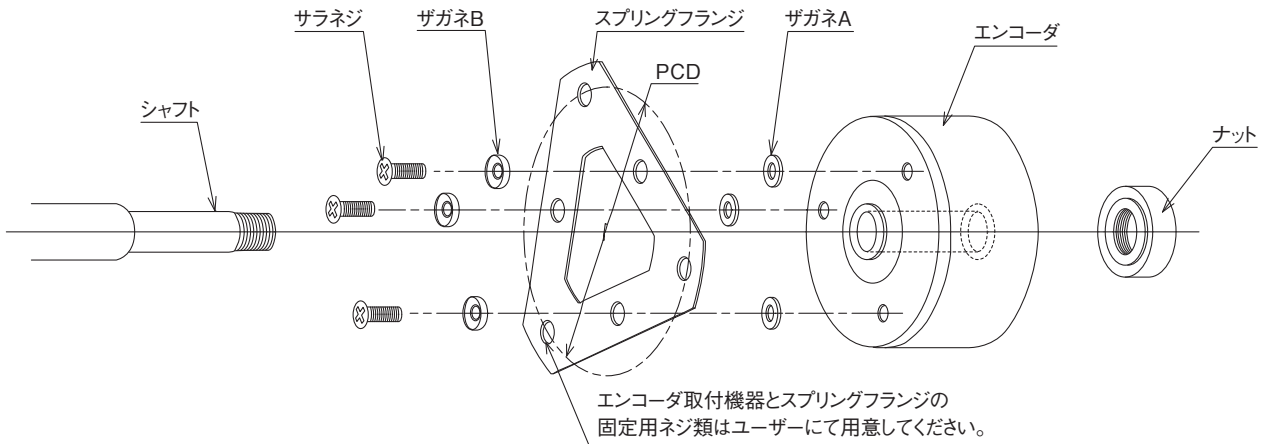
入出力回路図



▼ ホールタイプエンコーダ(MEH/MAH)取付方法

■ スプリングフランジ MEH-20、30、50、60、85、130(材質:SUS304-CSPH)

ホールタイプエンコーダ(MEH)取付イメージ

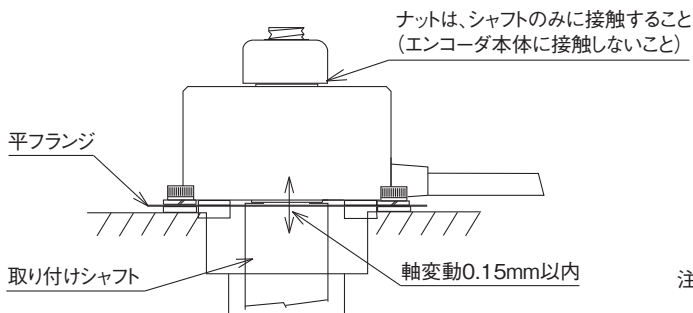


スプリングフランジについてはSetting Option(P84)を参照してください。

■ ホールタイプエンコーダ組付け注意点

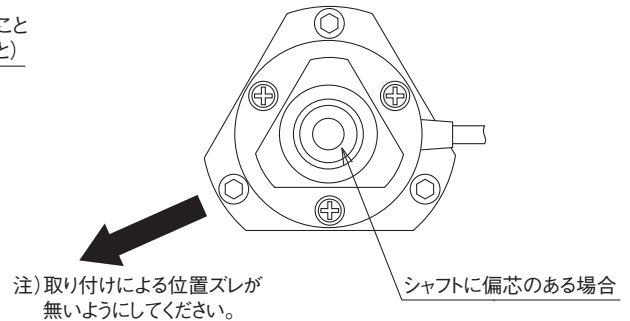
スラスト荷重によるエンコーダの影響

平フランジの軸方向変動吸収は0.15mm以内



ラジアル荷重によるエンコーダの影響

基本的には平板のためラジアル荷重の吸収は困難です。
ラジアルの偏芯は20ミクロン以下で回転するよう確認してください。



ラジアル方向の変動が大きい場合下図の方法を検討ください。

(特殊スプリングフランジ、P85を参照してください)

