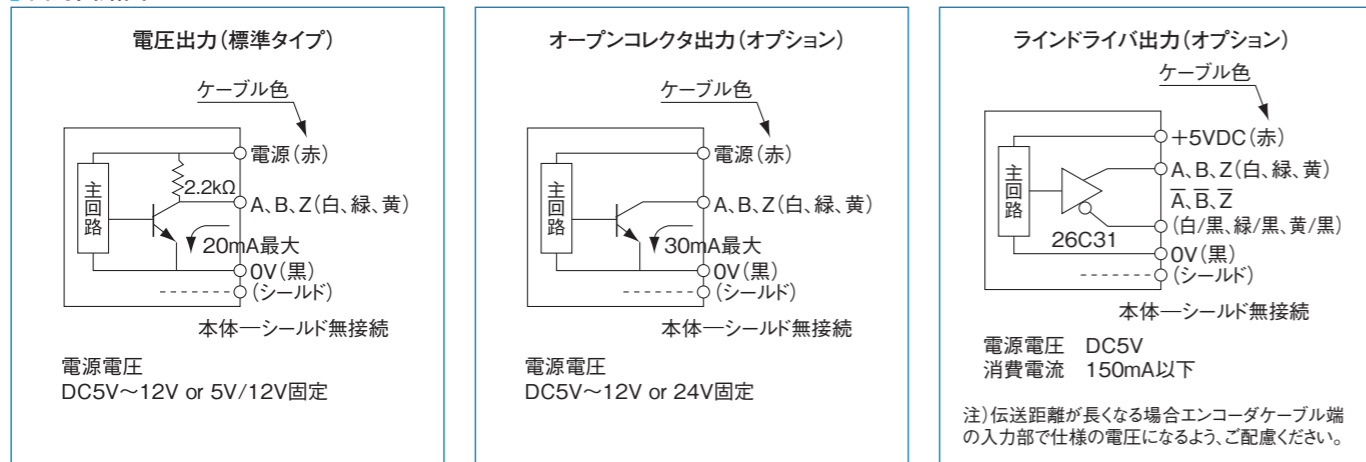


技術資料

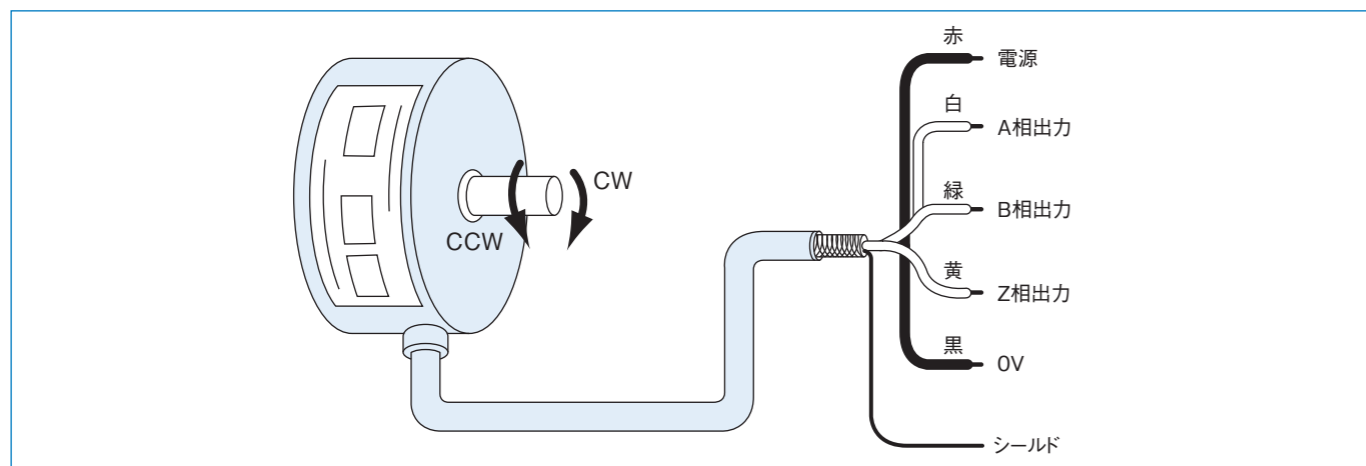
インクリメンタルエンコーダ

- 低パルスから高分解パルスまで、幅広く用意されています。また、希望の分割パルス数は、自社製作のため容易に可能です。
- 外径は、超小型から大型までシリーズ化されており、取付軸と分割パルス数等により決めてください。
- 全製品が薄型で構成されており、特にホールタイプは取付に最適なエンコーダです。
- 使用目的により耐ノイズ、消費電流の低減など、最適条件で検討可能です。

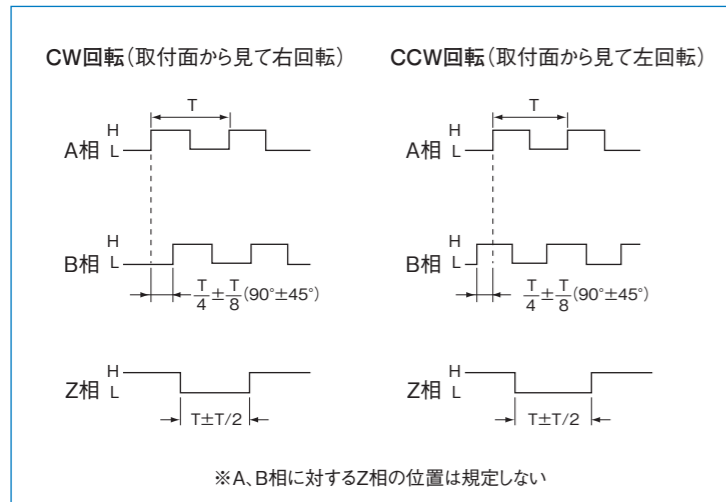
出力回路図



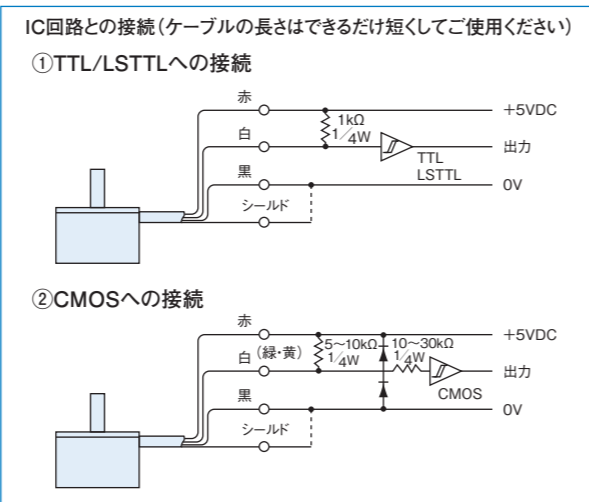
0VとFG(フレームグランド)の間にコンデンサ(0.1μF)が接続されています。



出力波形図



接続例

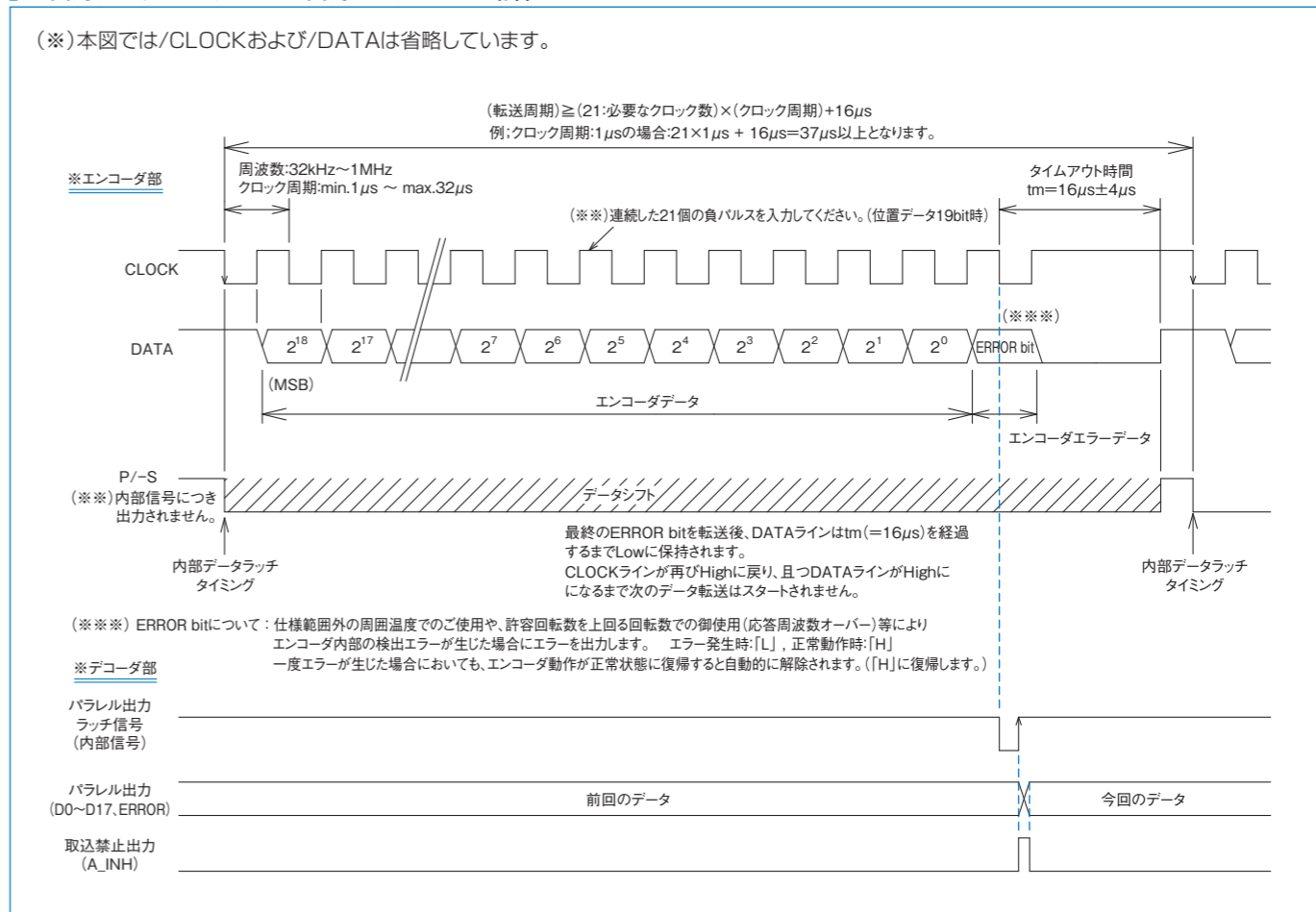


アブソリュートエンコーダ

シリアル通信のタイミングチャートについて

弊社のアブソリュートエンコーダでシリアル通信(SSIフォーマット)のタイミングチャートは下図を参照ください。

入出力タイミングチャート ※出力データ19bitの場合



オプションのデコーダ基板をご使用される場合

接続図 ※19bit(524288)の場合

| デコーダ基板 TH No. (24pin部) | | デコーダ基板 TH No. (8pin部) | |
|------------------------|-------------------------|---|---------------|
| TH No. | パラレル出力/電源 | TH No. | 緑色 エンコーダ接続側 |
| 1 | DC5V±5% | 1 | 赤 DC5V±5% |
| 2 | 0V(COMMON) | 2, 4 | 黒 0V(COMMON) |
| 3 | 出力2 ¹⁸ (D18) | 3 | - N.C. |
| 4 | 出力2 ¹⁷ (D17) | 5 | 白 DATA |
| 5 | 出力2 ¹⁶ (D16) | 6 | 白/黒 /DATA |
| 6 | 出力2 ¹⁵ (D15) | 7 | 緑 CLOCK |
| 7 | 出力2 ¹⁴ (D14) | 8 | 黒 /CLOCK |
| 8 | 出力2 ¹³ (D13) | 3pinはN.C. | |
| 9 | 出力2 ¹² (D12) | ※3: 黄線は、/RESET | |
| 10 | 出力2 ¹¹ (D11) | (リセット入力[L](0Vに接続)にてリセット有効。入力電源: 1mA以下 ※通常使用時は「オープン」または「5V」) | |
| 11 | 出力2 ¹⁰ (D10) | | |
| 12 | 出力2 ⁹ (D9) | | |
| | | 22 | ERROR bit |
| | | 23 | 取込禁止出力(A_INH) |
| | | 24 | N.C. |

- ※1: 分解能18bitの時はTH No.3に最上位bitを接続し、順に詰めて配線願います。(例)18bit時: TH No.3に出力2¹⁷(D17), TH No.4に出力2¹⁶(D16), ... TH No.20に出力2⁰(D0), TH No.21にERROR bitを接続。TH No.22, 24はN.C.となります。
- ※2: 本デコーダ基板のパラレル出力は、最大20ビット分(ERROR bit含む)となります。21ビット以上のパラレルデータは出力できませんのでご注意ください。

入出力回路図

